

学籍番号 氏名	V20142 三浦 彰人	指導教員	藤枝 直輝
題目	Red Pitaya を用いた可変デジタルフィルタシステムの試作		
<p>1 はじめに</p> <p>特定応用向けの様々なシステムに FPGA (Field Programmable Gate Array) が利用されている。特に、FPGA とプロセッサを 1 つのチップに搭載したものを FPGA SoC (System on a Chip) という。汎用的な処理をプロセッサに、特化させたい専用処理を FPGA にそれぞれ分担できるため、FPGA SoC は特定応用向けのシステムに向いている。本研究では、FPGA SoC を搭載したボードの 1 つである Red Pitaya を使った、無線通信研究のためのプロトタイプシステムを作成する。具体的なアプリケーションとして自己干渉除去を想定し、この用途に向けて、フィルタ係数を変更可能な FIR フィルタを FPGA 上に実装し、RF 信号の送受信の実験を行う。</p> <p>2 Red Pitaya 上の PYNQ</p> <p>本研究で作成するシステムは、AMD 社の FPGA SoC 向けのフレームワークである PYNQ を Red Pitaya 向けに移植したものを土台とする。このシステムのチュートリアル [1] の 1 つである DMA Transfer では、まず CPU で入力波形を作成する。入力波形は DMA IP によって D/A 変換器に転送され、出力される。D/A 変換器の出力端子と A/D 変換器の入力端子は、同軸ケーブルで接続される。A/D 変換された出力波形は、再び DMA IP によって CPU のメモリに転送され、書き込まれる。FPGA 内部のデータ転送には AXI-Stream インタフェースが使用される。</p> <p>3 提案手法</p> <p>作成するシステムでは、上述した一連のデータの流れに、デジタルフィルタのブロックを挿入する。デジタルフィルタには、AMD 社の開発環境である Vivado に付属する、FIR Compiler を使用する。FIR Compiler はデータ入力、データ出力、Reload、Config という 4 つの AXI-Stream インタフェースをもつ。このうち後者の 2 つにより、ソフトウェアからフィルタ係数を変更できる。</p> <p>A/D・D/A 変換器を使わない場合と使う場合の 2 種類のシステムを作成する。変換器を使わないシステムでは、入力波形はそのまま FIR Compiler に与えられ、その出力は CPU のメモリに書き込まれる。変換器を使用する場合は、FIR Compiler は A/D 変換器と CPU のメモリへの書き込みとの間に挿入される。どちらの場合でも、Reload と Config を CPU のメモリから転送するために DMA IP を追加で 2 個用意する。</p> <p>4 評価・評価結果</p> <p>作成したシステムに入力として 1 MHz, 8 MHz, 30 MHz の正弦波を与えて、出力波形を比較する実験を行った。FIR Compiler のフィルタ係数の初期値は、カットオフ周波数が 6.25 MHz になるように設定した。ソフトウェアでカットオフ周波数が 24.4 MHz になるフィルタ係数を書き込む場合と書き込まない場合とで、出力波形を比較した。</p> <p>結果としては、入力周波数 8 MHz のとき、フィルタ係数を書き込まない場合のみ減衰すると予測したが、そうはならなかった。ソフトウェアでフィルタ係数を書き込んでいることは確認しているため、詳しい原因の調査は今後の課題である。</p> <p>5 おわりに</p> <p>本研究では Red Pitaya の利点を活かした無線通信研究のためのプロトタイプシステムの構築を行った。周波数可変のデジタルフィルタを FPGA に埋め込み、その動作を確認できた。今後の課題として、フィルタとしての動作が期待したものにならなかった原因を調査することが挙げられる。</p> <p>参考文献</p> <p>[1] P. Gomez, FPGA Notes for Scientists, https://github.com/dspsandbox/FPGA-Notes-for-Scientists, 2024 年 1 月 15 日参照。</p>			