

学籍番号 氏名	V18099 永井 晃大	指導教員	藤枝 直輝
題目	FPGA による集約分割ルータの改良		

1 背景と目的

近年, IoT (Internet of Things) デバイスの普及によりネットワークを流れるパケット数が増加している。パケット数を削減する方法として集約分割技術がある。集約分割技術とは, 経路が一致するパケット同士を1つのパケットとして集約し, 経路が一致しなくなる前にルータで分割することにより, 中間ルータの負荷を軽減する技術である。高山ら [1] は集約分割技術を実装したルータの FPGA による試作を行った。高山のシステムの動作確認は, Ethernet を含まない環境でのみ成功した。

本研究では高山のシステムの問題点を明らかにし, Ethernet を含む環境でのパケット集約/分割を実現する。また改善されたシステムにより, パケット集約/分割の性能を評価する。

2 既存システムによる試作システム

高山の研究では, NetFPGA-1G-CML のサンプルプロジェクトである, Loopback プロジェクトに集約/分割回路を挿入することで, 集約/分割の動作をハードウェアで検証した。集約/分割回路は高位合成で作成された。集約/分割回路を挿入した Loopback プロジェクトでは, それぞれのパケットジェネレータ/チェッカ (Gen/Check) で送信/チェックするデータを変更する。

動作検証は2段階に分けて行われた。1段階目ではパケットジェネレータとパケットチェッカも高位合成で作成する。パケットジェネレータはテスト用のデータセットの通りにデータを1回通り生成し, ストリームで送信する回路である。パケットチェッカはデータをストリームで受信し, プロセッサのメモリに書き込む回路である。パケットジェネレータ, 集約回路, 分割回路, パケットチェッカをストリームで直列に接続する。1段階目での動作検証は成功した。2段階目が1段階目と違うところは2つある。1つ目は Ethernet を経由して, データを送受信しているところである。2つ目はデータセットを連続で送信するところである。2段階目での動作検証は失敗した。

3 改良システム作成

2段階目の既存システムの問題点は2つある。1つ目は, パケットロスが発生することである。Ethernet の仕様によれば, データを処理する速度に対してデータの受信が速すぎた場合, その分パケットを破棄するように定められている。分割回路から出力されるデータは, 分割回路の入力よりも多いので, 分割回路側のジェネレータから出力されるパケットが破棄されてしまう。2つ目は, パケットが短すぎることである。Ethernet の仕様によれば, 64 バイトよりも短いパケットをインターフェースが受け取った場合, 64 バイトになるまでゼロを送り続けるように定められている。既存システムでは, 40 バイトのパケットを送信しているためパケットが短すぎる。

以上を踏まえて, 高山の研究の2段階目の改良を行う。具体的には, 分割回路側のパケットジェネレータに待ち時間を入れ, 1つのパケットを64バイト以上にする。

システムの評価にあたっては, Vivado HLS 2019.2 による高位合成で集約回路, 分割回路を作成しシステムに追加する。10秒間 Gen/Check を動作させてから, パケット数をストリームで受信し, プロセッサ上のメモリに書き込み取得する。送信パケット数, 受信パケット数, 受信エラー数をシリアルポートに送信する。

改良システムの動作検証は成功した。具体的には, パケット送信ごとの待ち時間を1075クロックサイクルにするまでは受信エラーは起き続けた。それ以降は, 受信エラーは起きず, 待ち時間を増やすごとに受信パケット数が減少した。

4 結論

本研究では, FPGA による集約/分割ルータを完成させるために, 高山のシステムの改良に取り組んだ。高山のシステムを改良することにより, Ethernet を含む環境下においても, 疑似パケットの集約/分割に成功した。今後は, 疑似パケットを使わずイーサネットフレームの構成に従ったパケットフレームを想定して, パケット集約/分割回路を改良することが必要である。

参考文献

- [1] 高山史朗, 藤枝直輝, 青木道宏, “パケット集約/分割ルータの FPGA による試作”, 信学技報 CPSY2020-58, 2021