

学籍番号 氏名	V17073 高山 史朗	指導教員	藤枝 直輝
題目	NetFPGAによるパケット集約/分割ルータの試作と検証		

### 1 背景と目的

近年、IoTサービスの浸透によりネットワークのトラフィック量が増加している。とりわけ、サイズが極めて小さいパケットの増加は、ルータのパケット処理性能に悪影響を及ぼす。ネットワーク上のパケット数を削減する方法の1つにパケット集約 [1] が挙げられる。パケット集約とは、大量の被集約パケットを1つの集約パケットとして構築し、ネットワーク内に流れるパケット数の削減を行う技術である。

有線ネットワークの研究はシミュレーションが主である一方、実用化検証、高速化検証のためにはハードウェアによる試作が望ましい。FPGAは内部の論理を書き換えることができるため、ハードウェアによる試作・検証に適している。本研究では、FPGA制御可能なネットワークハードウェア開発プラットフォームであるNetFPGAを用いて、パケット集約/分割ルータのハードウェアによる実現可能性を検証する。

### 2 Loopback Test プロジェクトの移行

本研究に使用するNetFPGA 1G-CMLは、Xilinx社製の旧統合開発環境「ISE」での開発が前提になっており、現世代の開発環境である「Vivado」に対応させる必要がある。このボードにはサンプルプロジェクトがいくつか用意されており、ここでは4つのイーサネットポートを用いるLoopback TestプロジェクトをVivadoに移行する。FPGA内では、2つのパケットジェネレータ/チェッカ (Gen/Check) が4つのGMACインターフェイスのうち2つに接続され、残り2つのGMACインターフェイスはAXI-Streamで直結されている。ブロック図やそれに含まれる各種の回路を新環境に移行し、Gen/Check間で正常にパケットの送受信ができることを確認した。

### 3 パケット集約/分割ルータのプロトタイプ作成

本研究では、イーサネットフレームを簡略化した疑似パケットフォーマットを定義し、それに対するパケット集約/分割ルータを2段階に分けて開発する。

第1段階として、イーサネットポートを使わずにパケットの送受信を行う各IPをAXI-Streamで直結させ、パケット集約/分割がハードウェア上で実行できるか確認する。パケット集約/分割ルータと、各ルータのデバッグ用に新たに作成するパケットジェネレータ、及びチェッカはC言語からの高位合成で作成する。このハードウェアをテストするソフトウェアを開発して実行したところ、シリアルターミナルに受信したパケットが想定通り表示された。これにより、第1段階の開発には成功した。

第2段階では、デバッグ用とは別にGen/CheckをLoopback Testを基に作成し、パケット集約/分割がイーサネットを介したハードウェア上で実行できるか検証する。作成したハードウェア・ソフトウェアをテストしたところ、Gen/Checkがソフトウェアによる制御に対して応答していないとみられる挙動を示した。したがって、第2段階を完成させるには引き続きのデバッグが必要である。

### 4 結論

NetFPGAの開発環境をISEからVivadoに移行することができ、開発しやすい環境を整えることができた。また作成したパケット集約ルータ、パケット分割ルータで実際にパケット集約/分割をハードウェア上で行えることが確認できた。今後、パケット集約/分割用に作成したGen/Check IPのデバッグを行う必要がある。今回の実験では疑似パケットフォーマットを定義して実験を行ったが、実際に使用されているイーサネットフレームでも同様に実験を行えるか検証する必要がある。

### 参考文献

- [1] 沖合純, 青木道宏, パケット集約における集約/分割ルータ決定法の検討, 信学技報, vol.119, no.5, NS2019-16, pp.91-95, 2019