

学籍番号 ・氏名	V16074 高松 永輔	指導教員	藤枝 直輝
題目	VHDL 設計演習支援のための信号比較システム		
<p><b>1 はじめに</b></p> <p>システムの高性能化や低消費電力化のためにソフトウェアとハードウェアの協調が重要になっている。それらを設計するにはソフトウェアだけでなくデジタル回路，特に HDL(Hardware Description Language) の修得が必要である。GHDL[1] は HDL の一種である VHDL のシミュレータであり，VHDL のファイルを実行し波形を VCD という形式のテキストファイルで生成する。GTKWave[2] で VCD ファイルを読み込み，波形として回路の動作を可視化する。HDL を初めて学習するにあたって，想定通りの回路が作成できているかを即時的にチェックする方法が乏しいという問題点がある。本研究ではこの点を解決するために，GHDL が出力する VCD ファイルに注目し，想定通りの回路が作成されたかを自動的にチェックするための信号比較システムを提案する。</p> <p><b>2 プログラム設計</b></p> <p>プログラムの要求仕様は以下の通りである。まず，手本となる VCD ファイルを読み込む。次に，特定のフォルダー内の VHDL とテストベンチを順番に GHDL に与え，VCD ファイルを作成する。手本のものと同じ動作をしている信号があった場合に，VHDL とテストベンチのファイル名と回路名，信号名を表示させる。これをフォルダー内の全てのファイルに対して行う。これを実現するために，VCD ファイルに存在する信号をリストアップする関数 placeW と指定した信号の動作だけを抜き出す関数 placeD を作成した。プログラムは Python で作成した。</p> <p><b>3 動作確認</b></p> <p>比較対象と一致するファイルが複数あった場合，一致するすべてのものを表示し，ソースコードに誤りのある回路を比較させた場合，その回路のシミュレーションが正常に行われずに次の回路へ移る。以上の仮説に基づいて設計したプログラムの動作確認を行う。その結果一致するものが複数あった場合，一致するものすべてが表示されることが分かり，ソースコードに誤りのある回路を比較させた場合，シミュレーションが行われず，プログラムが途中で停止してしまった。</p> <p><b>4 性能評価</b></p> <p>比較プログラムの実行時間が回路の信号数，信号の動作の長さによって大きく左右されると考えられる。この仮説に基づき，半加算器を 5 個～20 個並列に並べた回路とテストベンチを用意した。一部のテストベンチでは，シミュレーション時間を 2 倍，3 倍にしたものを用意した。これから得られる VCD ファイルの比較に要する時間を計測した。その結果，仮説通りに信号数，信号の動作の長さによって，実行時間が大きく増加しており，概ね実行時間がそれぞれ信号数，信号の動作の長さの 2 乗に比例していることが分かった。また比較した VCD ファイルの中で最も規模の大きいもの (1620 行) を比較した場合，1.25 秒を要した。</p> <p><b>5 結論</b></p> <p>動作確認よりプログラムの作成には成功したが，誤った回路を読み込んでしまった場合，正常にプログラムが動作しないことが確認できた。また性能評価より，複数の規模の大きい回路を自動で比較する場合には，即座にフィードバックを返すことができないことが確認できた。これらの解決は今後の課題である。</p> <p>参考文献</p> <p>[1] GHDL, <a href="http://ghdl.free.fr/index.html">http://ghdl.free.fr/index.html</a>, 閲覧日 2020 年 1 月 6 日</p> <p>[2] GTKWave, <a href="http://gtkwave.sourceforge.net/">http://gtkwave.sourceforge.net/</a>, 閲覧日 2020 年 1 月 6 日</p>			