

学籍番号 ・氏名	V16119 間瀬 敦史	指導教員	藤枝 直輝
題目	ISA 移行のためのソフトプロセッサの実装と評価		
<p>1 はじめに</p> <p>今日ソフトプロセッサはFPGA (Field Programmable Gate Array) ベースの組み込みコンピューティングシステムで広く使われている [1]. ソフトプロセッサには AMD, x86, MIPS, RISC-V など様々な ISA (Instruction Set Architecture) があり, MIPS と RISC-V は単純な命令セットを共通の特徴としている [2]. コンピュータ利用分野では, オープンソースの ISA である RISC-V の導入が進んでいる [2]. 本研究は MIPS から RISC-V への移行のための知見を得ることが目的である. 移行にあたって, 設計・実装上の問題点について検討を行わなければならない. 設計上の問題点に関しては, プロセッサの動作方式を変えることで構造にどのような違いが生じるか, 両方のプロセッサを設計することで明らかにする. 実装上の問題点に関しては, FPGA デバイス上のハードウェア資源の使用量と動作周波数を論理合成により評価する.</p> <p>2 設計と動作検証</p> <p>同じ機能の MIPS/RISC-V プロセッサを設計する. MIPS (マルチサイクル方式/パイプライン方式) と RISC-V (マルチサイクル方式/パイプライン方式) の4つのプロセッサを設計する. 回路記述は VHDL によって行う. 命令を5ステージに分けて処理をする方式を採用する. プロセッサの動作検証はフィボナッチ数列, コラッツ数列, ベクトル内積計算を行うプログラムを実行し, そのプログラムでのメモリに書き込まれた値と書き込み回数を動作波形と比較することで行った.</p> <p>3 評価</p> <p>Vivado2018 (Xilinx 社) を使用してプロセッサを論理合成したのち配置配線する. 配置配線時に制約ファイルで動作周期を決定する. この際, クロック周期に対する最大の遅延時間の余裕を表す WNS (Worst Negative Slack) に注意して動作周期を決定する. 各動作周期から動作周波数を求める. 各動作周波数においての LUT/FF, 消費電力量を測定する. 評価の結果, マルチサイクル方式において RISC-V プロセッサは MIPS プロセッサと比べ動作周波数は 7.6 % 減少し, 消費電力量は 13 % 増加した. また, LUT の数は 7.6 % 増加し, FF の数は 4.4 % 減少した. パイプライン方式において動作周波数と消費電力量, FF は MIPS プロセッサと RISC-V プロセッサで同じ値を示した. LUT においては RISC-V プロセッサの方が 3.7 % 少ない結果が得られた.</p> <p>4 結論</p> <p>MIPS から RISC-V への移行において設計時点での注意点は基本命令セットの違いにおける制御の違いである. 例を挙げるとシフト演算の制御, データハザードへの対応方法, 分岐命令やジャンプ命令時のアドレス選択制御に違いが見られた. 実装の面において, 動作周波数, LUT/FF, 消費電力量を比較したが, それぞれにそれほど大きな差はなかったため, 移行への大きな支障にはならないと考えられる. また, プログラム実行時の必要クロックサイクル数を各マルチサイクル方式, 各パイプライン方式で比較したがプロセッサの違いによる差はなかった. 今回作成したプロセッサは基本命令セットの中でも一部分にすぎない. したがって機能を充実させた状態で比較検討を行うことが今後の課題である. また, RISC-V の特徴にモジュール式があり, この部分での検討も必要になると考えられる.</p> <p>参考文献</p> <p>[1] デイビッド・パターソン and アンドリュー・ウォーターマン, RISC-V 原典 オープン・アーキテクチャのすすめ, pp. 2-28, 2018</p> <p>[2] David Money Harris and Sarah L. Harris, デジタル回路設計とコンピュータアーキテクチャ第2版, pp. 351-448, 2017</p>			