

学籍番号 ・氏名	V16101 原口 竜季	指導教員	藤枝 直輝
題目	高位合成を用いたソフトプロセッサの評価と効率化の検討		
<p>1 はじめに</p> <p>論理設計は年々大規模化かつ複雑化しているため、設計の抽象度を上げる必要がある。高位合成とは、C言語など動作レベルの記述の言語から、HDLにより記述された回路を自動的に生成する技術であり、設計の抽象度を高めるために用いられる。ソフトプロセッサはFPGA (Field Programmable Array) に実行可能なプロセッサである。プロセッサは、命令の処理を分割・並列化するパイプライン化を行うことでスループットを改善できる。</p> <p>C++ で記述され、命令の実行にパイプライン方式を取るソフトプロセッサとして Comet [1] が提案されている。ここでは Mentor 社の Catapult HLS を使って高位合成し、Xilinx 社の Vivado で論理合成して評価している。本実験では、Xilinx 社の高位合成ツールである Vivado HLS で Comet を高位合成して評価するとともに、その効率化を検討する。</p> <p>2 Comet の改良</p> <p>Comet を Vivado HLS を用いて高位合成し、Schedule Viewer にて処理にかかる時間を分析した。その結果、ALU 内の乗算処理、メモリステージのデータの読み書きに時間が掛かっていることを特定した。乗算処理では、その前の符号の有無の判断を前のステージで行うことで解決を試みた。メモリステージでは、読み出しを書き戻しステージにて行い、書き戻し処理をメモリステージで行うことで解決を試みた。変数を増やし、条件文を整理することで正しく命令を実行するようにした。</p> <p>3 評価</p> <p>Vivado HLS 2018.3 を使用し、Nexys 4 DDR を対象 FPGA ボードとして、C Synthesis にて合成を行った。クロック周期を 10 ns から 0.5 ns ずつ増加させ、回路の遅延、クロックのばらつきを考慮した目標サイクル時間、サイクル数を算出した。また、これらの値から MIPS 値 (Million Instruction Per Second) も算出した。</p> <p>改良前の Comet は、予定通り動作し、クロック周期が 13.5 ns のときから開始間隔 (II) の値が 2 となりサイクル数が減少した。改良後は 11.5 ns から II が 2 となりサイクル数が減少した。これらの MIPS 値を比較した結果、改良後は改良前と比べて 17.42 % 増加した。</p> <p>また、改良前と改良後でハードウェア量を比較した結果、フリップフロップで 30.16 %、LUT で 11.55 % 増加した。ある処理を別のステージに移動するためにレジスタで情報を記憶しなければならないので、フリップフロップが増加した。MIPS 値をより大きくしようとするハードウェア量も増加する。</p> <p>4 おわりに</p> <p>先行研究にて提案されていた Comet を Vivado HLS にて評価、改良を試みた。プロセッサの 1 クロック相当で 2 クロックで実行するとき、最小クロック周期は 13.5 ns から 11.5 ns に改善された。今後の課題として、MIPS 値のさらなる向上、ハードウェア量の減少がある。</p> <p>参考文献</p> <p>[1] S. Rokicki, J. Paturel, D. Pala, and O. Sentieys, "What You Synthesize is What You Simulate: Design of a RISC-V Core from C++ Specification" 38th IEEE/ACM International Conference on Computer-Aided Design (ICCAD 2019), pp. 1-8, 2019</p>			