

学籍番号 氏名	V21173 横山 玲	指導教員	藤枝 直輝
題目	無線システム向け信号処理ハードウェア化の学習環境に向けた GPS 信号捕捉回路の高位合成		
<p>1 背景と目的</p> <p>GPS (Global Positioning System) 受信機は、無線システム向けの信号処理を学ぶための題材として用いられる。一方近年では、FPGA (Field Programmable Gate Array) 向けの設計開発を理解した人材の需要が高まっている。FPGA の再プログラム可能な特性が、開発期間の短縮やコスト削減に有利に働くためである [1]。また、高位合成によってハードウェア開発がより効率的になってきている。高位合成は、C や C++ といったソフトウェアで使われる言語で記述された回路を、専用のツールを用いてハードウェア記述言語 (HDL) に変換する技術である。高位合成を用いると、FPGA でのシステム開発の高い効率化が期待できる [2]。しかし、現状、GPS 信号捕捉を題材にした高位合成の学習環境が存在していない。</p> <p>そこで本研究では、GPS での信号処理を題材にした高位合成学習プラットフォームのために、GPS 信号捕捉回路を高位合成で実装する。ソフトウェアによるサンプル・プログラムの一部を変更し、高位合成を行う。作成された回路を動作させ、ソフトウェアによるプログラムの実行時間と比較する。</p> <p>2 信号捕捉プログラムの構造</p> <p>プログラムには3つのループがあり3重構造となっている。最も外側にあるのが、搬送波周波数のズレを -6000 Hz から 6000 Hz の範囲で 500 Hz ごとに探索するループである。中央にあるのは、C/A コードの位相を探索するループである。最も内側にあるのは、C/A コード 1 周期分の関連電力値を求めるループである [3]。</p> <p>3 プログラムの高位合成</p> <p>本研究で回路化するの、3つのループのうち内側2つのループである。プログラムは中央のループの複数回の繰り返しを並列計算できるよう、追加の変更を加えてから高位合成する。中央のループでループ変数が1増加すると、内側のループで使われる入力が8要素だけ後ろにずれ、それ以外の計算は変わらない。そのため、$(PAR - 1) \times 8$ 回分の入力だけを覚えておけば、PAR 並列での並列計算が可能になる。PAR を1に設定した場合には、並列計算は行われず、プログラムを最小限の変更で高位合成した場合と等価な処理が行われる。</p> <p>4 評価</p> <p>評価は、並列処理なし回路、並列処理あり回路でそれぞれ信号捕捉をハードウェア処理したときの処理時間を、C 言語のサンプル・プログラムをそのままソフトウェア実行したときと比較することで行う。評価に用いたのは、Digilent 社の PYNQ-Z1 ボードである。このボードは、AMD 社の XC7Z020 FPGA SoC を搭載する。ソフトウェア実行はこの SoC に搭載された ARM Cortex-A9 プロセッサ上で行う。測定は3回行い、その平均値を取る。</p> <p>評価の結果、ソフトウェアの実行時間が 46.806 秒であったのに対して、並列処理なし回路を使った場合が 82.735 秒、並列処理あり回路を使った場合が 120.837 秒であった。並列計算を可能にしたにもかかわらず実行時間が増加したのは、過去の入力を覚えておく部分が、RAM で実装されてしまったためと考えられる。その改善は今後の課題である。</p> <p>参考文献</p> <p>[1] 高村 政孝 『高位合成を用いた FPGA の開発』 OKI テクニカルレビュー, 沖電気工業, Vol. 82, No. 1, pp. 32-35, 2015.</p> <p>[2] Reinforz Insight 次世代 FPGA 技術の進化と市場予測: 2024 年から 2031 年の展望 https://reinforz.co.jp/bizmedia/42619/ 閲覧日 2024 年 12 月 18 日</p> <p>[3] 海老沼 拓史 『ソフトウェアによる GPS 受信機の仕組み』 RF ワールド, CQ 出版社, No. 13, pp. 86-101, 2011</p>			