

学籍番号 氏名	V20088 砂田 直輝	指導教員	藤枝 直輝
題目	VHDL の学習環境における自動採点システムの試作		

1 はじめに

新たにデジタル回路設計を学ぶ者のために、ハードウェア記述言語 (HDL) のシミュレーションや学習の環境を整備することは不可欠である。HDL に限らず、新たな言語の学習には、多くの問題に取り組み、その正誤からフィードバックを得ることを繰り返す手法が有効である。その役に立つのが自動採点システムである。HDL の一種である VHDL に対する既存の採点システム [1] では、学生が VHDL を提出する度に処理を行いフィードバックを返却するリアルタイム処理を採用している。しかしこの方法は、瞬間的なアクセス過多に弱い、後になって解答の不備が発覚した場合の修正が困難、といったデメリットがある。

本研究では、VHDL を記述して回路作成を行う課題において、多数の提出された答案を同時刻にまとめて採点するシステムのプロトタイプを作成し、その評価を行うことを目的とする。バッチ処理で自動採点を行うことで、リアルタイム処理における問題点を解決できることが期待される。

2 提案手法

提案するシステムの動きについて示す。学生は期限までに作成した VHDL の回路をサーバに送信しておく。期限が到来すると、サーバ内の VHDL は全て同一のテストベンチでシミュレーションされる。そのシミュレーション結果が正答例と比較され、正誤が学生別にサーバ内の csv ファイルに記録される。

システムは、VirtualBox 上で仮想サーバとして構築された Ubuntu 22.04 で稼働させる。VHDL のシミュレータである GHDL と、Java プログラムを扱うための Java 11 が apt コマンドによって事前にインストールされている。提出された VHDL を処理するために、シミュレーション、正答例との比較、正誤の記録をそれぞれ行う 3 つの Java プログラムを用意する。シミュレーションのプログラムは、提出された回路ごとに GHDL を実行し、出力として波形ファイルを生成させる。ただし、シミュレーションが無限ループに陥る事態を考慮し、上限を 10 秒として強制的にシミュレーションを停止させる。正答例との比較プログラムでは、波形ファイルを模範解答のものと比較し、出力が一致しているかどうかを記録する。不一致の場合は、初めて出力が異なったタイミングも記録する。正誤の記録スクリプトでは、比較プログラムの結果のうち、ユーザごとに最新のものを記録する。これら 3 つのプログラムをシェルスクリプトで連続して実行させることで、提出されたファイルに対する処理が完了する。このシェルスクリプトを crontab コマンドで指定時間に実行させる。

3 評価

本システムの評価は、サーバ内で Linux コマンドの time, sar を用いることでプロセスの実行時間と CPU 使用率を各プログラム別に観測することで行う。評価には 125 個の正しい結果を出力する VHDL と、3 個の間違った結果を出力する VHDL を使用する。

評価の結果、シミュレーションのプログラムに 5.067 秒、正答例との比較スクリプトに 0.127 秒、正誤の記録スクリプトに 0.140 秒を要した。シミュレーションのプログラムが特に時間を要しているのは、GHDL の呼び出しとシミュレーション結果のファイルを大量に生成していることに起因していると考えられる。しかし、VHDL を順に読み込むことから、1 度に 1 つのシミュレーションしか行わないため、サーバ負荷の均一化という点ではバッチ処理を採用した本システムでのメリットがある。

4 おわりに

本研究では、VHDL においてサーバに提出された回路をバッチ処理でまとめてシミュレーションし、それらの結果の採点、記録を行うシステムを試作し、その評価を行った。今後の改善点や拡張として、現段階で不十分である外部とのファイルやり取りの仕組みや、外部から期限の変更ができるユーザインタフェース、採点結果をサーバから直接学生に返却する処理の開発などが考えられる。また、複数の学生が全く同じ内容の回答を複製して提出するケースへの対策や、完全一致だけでなく他の出力も視野に入れて採点するといった機能の拡張も考えられる。

参考文献

- [1] A.Kumar et al., Enhancing VHDL Learning through a Light-weight Integrated Environment for Development and Automated Checking, in TALE 2013, pp. 570–575, 2013.